

## MATRICULACIÓN:

La matrícula se realizará preferentemente a través de la página WEB del Centro Mediterráneo <http://cemed.ugr.es>

En caso de dificultad con la matriculación, contactar con el Centro Mediterráneo a través del correo electrónico: [cemed@ugr.es](mailto:cemed@ugr.es)

Código del curso: **25GR48**

Precio: **30€**

### Información básica sobre protección de sus datos personales aportados:

**Responsable:** Universidad de Granada

**Legitimación:** La Universidad de Granada se encuentra legitimada para el tratamiento de sus datos en base a lo estipulado en:

Art. 6.1.e) RGPD: el tratamiento es necesario para el cumplimiento de una misión realizada en interés público o en el ejercicio de los poderes públicos conferidos al responsable del mismo (la difusión del conocimiento y la cultura a través de la extensión universitaria y la formación a lo largo de toda la vida) Ley Orgánica 6/2001, de 21 de diciembre, de Universidades.

Ley 38/2003, de 17 de noviembre, General de Subvenciones

**Finalidad:** La finalidad del tratamiento es gestionar las actividades culturales de la Universidad de Granada. Los usos que se dan a los datos personales son:

Organización de talleres, conferencias, y actividades culturales en general. etc.

Gestión de ayudas para el fomento de realización de actividades culturales.

**Destinatarios:** No se prevén.

**Derechos:** Tiene derecho a solicitar el acceso, oposición, rectificación, supresión o limitación del tratamiento de sus datos, tal y como se explica en la información adicional.

**Información adicional:** Puede consultar la información adicional y detallada sobre protección de datos en el siguiente enlace:

[https://secretariageneral.ugr.es/pages/proteccion\\_datos/leyendas-informativas/\\_img/informacionadicional](https://secretariageneral.ugr.es/pages/proteccion_datos/leyendas-informativas/_img/informacionadicional)

*Del 8 al 18 de septiembre de 2025*

# De la Nube a la FPGA: Introducción Práctica a RISC-V con Quintauris



**UNIVERSIDAD  
DE GRANADA**



**CENTRO  
MEDITERRÁNEO**

*Colabora*

·QUINTAURIS

*Lugar de realización:*

**Aula 10**  
**Facultad de Ciencias**  
**Avda. de Fuente Nueva s/n**

*Dirección:*

**Diego Pedro Morales Santos**  
Catedrático de Universidad  
Dpto. de Electrónica y Tecnología  
de los Computadores  
Universidad de Granada

*20 horas  
presenciales*

*Coordinación:*

**Ángel Berrio Moreno**  
Head of Product Management, Quintauris

**Centro Mediterráneo**  
**Vicerrectorado de Posgrado y Formación Permanente**

Avenida de Madrid 13, 18012, Granada

Tfno. 958 24 29 20 / / Email: [cemed@ugr.es](mailto:cemed@ugr.es)

@CemedUGR     
[centromediterraneo.ugr.es](http://centromediterraneo.ugr.es)

*\*\*Se recomienda revisar la web del Cemed para obtener información adicional y estar al tanto de posibles actualizaciones*

La arquitectura RISC-V está revolucionando el mundo del hardware con su enfoque abierto, modular y altamente escalable. En este curso intensivo, impartido conjuntamente por la Universidad de Granada y la empresa tecnológica Quintauris, te sumergirás en el ecosistema RISC-V desde una perspectiva teórica y, sobre todo, práctica.

Durante ocho sesiones repartidas en dos semanas, conocerás los fundamentos de RISC-V, su evolución, y las herramientas open source que lo rodean. A través de seminarios, talleres y laboratorios prácticos, trabajarás directamente con la plataforma tecnológica de Quintauris, aprendiendo a desplegar y probar IP hardware RISC-V desde entornos cloud hasta dispositivos FPGA reales.

El curso está diseñado para estudiantes, investigadores o profesionales del ámbito de la ingeniería electrónica, informática o telecomunicaciones que deseen adquirir competencias en una de las áreas con mayor proyección en el diseño de hardware actual. Finalizaremos con un hackatón práctico, en el que podrás aplicar los conocimientos adquiridos resolviendo un reto real con el apoyo de mentores de la UGR y Quintauris.

Una oportunidad única para formarte en tecnologías emergentes, conectar con profesionales del sector y dar tus primeros pasos en el mundo del hardware libre.

#### Competencias del alumnado:

##### a) El alumnado sabrá/comprenderá

- Los principios fundamentales de la arquitectura RISC-V y sus ventajas en el contexto open source.
- El modelo de trabajo y productos tecnológicos de Quintauris.
- El diseño y despliegue de IP hardware RISC-V open source.
- Cómo trabajar con plataformas cloud y hardware FPGA.

##### b) El alumnado será capaz de

- Analizar y utilizar herramientas del ecosistema RISC-V.
- Desplegar una IP hardware RISC-V desde la nube hasta una FPGA real.
- Resolver un reto práctico integrando todos los conocimientos adquiridos.

#### Lunes, 8 de septiembre de 2025

16:45-19:00 **Introducción a la arquitectura RISC-V: historia, filosofía y evolución.**  
Ángel Berrio, Head of Product Management, Quintauris.

#### Martes, 9 de septiembre de 2025

16:45-19:00 **Ecosistema RISC-V: herramientas, comunidades, casos de uso.**  
Ángel Berrio

#### Miércoles, 10 de septiembre de 2025

16:45-19:00 **Presentación de Quintauris: visión, modelo de negocio y productos.**  
Pedro López, Managing Director of Quintauris España

#### Jueves, 11 de septiembre de 2025

16:45-19:00 **Exploración de la plataforma Quintauris: entorno, funcionalidades, primeros pasos.**  
Enrique Pallarés, Head of Professional Services, Quintauris.

#### Lunes, 15 de septiembre de 2025

16:45-19:00 **IP hardware RISC-V open source: introducción, licencias y repositorios.**  
Enrique Pallarés

#### Martes, 16 de septiembre de 2025

15:00-17:00 **Parte I: De la nube a la FPGA: flujo de despliegue de una IP en la FPGA.**  
UGR & Quintauris (Enrique Pallares/ UGR)

17:00-17:30 Descanso

17:00-19:30 **Parte II: De la nube a la FPGA: flujo de despliegue de una IP en la FPGA.**  
UGR & Quintauris (Enrique Pallares/ UGR)

#### Jueves, 18 de septiembre de 2025

16:45-20:00 **Hackatón final: integración de conceptos y solución de un reto práctico.**  
Todos los participantes, con mentores de UGR y Quintauris

